

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 23/29

(11) 공개번호 특2001-0070064
(43) 공개일자 2001년07월25일

| | |
|-------------|---|
| (21) 출원번호 | 10-2000-0053699 |
| (22) 출원일자 | 2000년09월09일 |
| (30) 우선권 주장 | 1999-258460 1999년09월13일 일본(JP) |
| (71) 출원인 | 샤프 가부시키키가이샤 마찌다 가즈히코 |
| (72) 발명자 | 일본 오사카후 오사카시 아베노구 나가미케조 22방 22고 스미카와 마사토 일본 나라현 가시하라시 이마이포4-15-10 다나카 가즈미 일본 나라현 덴리시 아키히노모토조2613-10야요이로 사토 도모토시 일본 이바라키현 츠키우라시도 사키마찌 13-1-에이506 구영창, 장수길 |
| (74) 대리인 | 구영창, 장수길 |

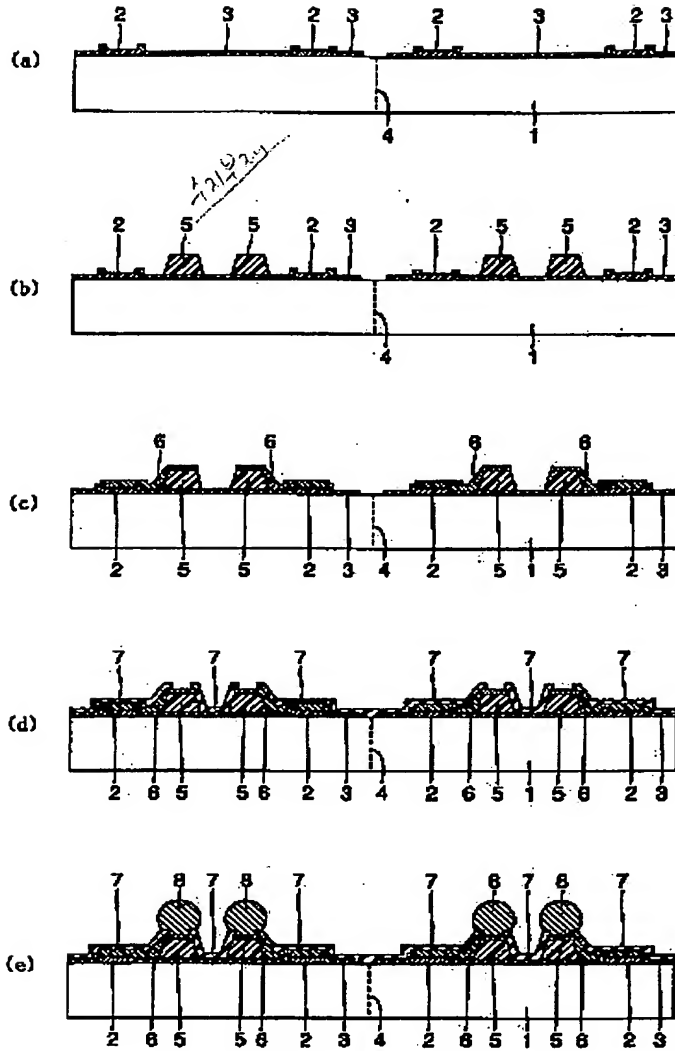
심사청구 : 있음

(54) 외부 접속 전극들에 대응하여 분리 제공된 수지 부재들을 구비하는 반도체 디바이스

요약

반도체 칩 상에 배치된 복수의 외부 접속 전극(8)을 구비한 반도체 디바이스는 온-칩(on-chip) 전극(2), 상호 분리되어 형성되고, 복수의 외부 접속 전극(8)에 대응하여 제공되는 수지 부재(5), 및 대응 온-칩 전극(2)과 대응 외부 접속 전극(8)을 접속시키는 배선(6)을 포함한다. 외부 접속 전극(8)에 대해 이렇게 분리되어 형성된 수지 부재(5)는 외부 접속 전극(8)에 발생하는 열 응력을 완화시킨다.

도면



색인어

반도체 디바이스, 열 응력, 온-칩 전극, 수지 부재, 배선, 외부 접속 전극

명세서

도면의 간단한 설명

- 도 1a 내지 1c는 종래의 베어(bare) 칩 장착의 일 예를 나타내는 도면.
 도 2는 종래의 반도체 디바이스의 범프 구조의 제1 예를 나타내는 도면.
 도 3a 및 3b는 종래의 반도체 디바이스의 범프 구조의 제2 예를 나타내는 도면.
 도 4는 종래의 반도체 디바이스의 범프 구조의 제3 예를 나타내는 도면.
 도 5는 종래의 반도체 디바이스의 범프 구조의 제4 예를 나타내는 도면.
 도 6은 도 2에 도시된 반도체 디바이스의 범프 구조의 문제점을 도시하는 도면.
 도 8a 내지 8e는 본 발명의 제1 실시예에 따른 반도체 디바이스의 제조 단계를 도시하는 도면.

도 9는 개별 칩들로 분할되기 전 본 발명의 제2 실시예에 따른 반도체 디바이스의 단면도를 나타내는 도면.

도 10은 개별 칩들로 분할되기 전 본 발명의 제3 실시예에 따른 반도체 디바이스의 단면도를 나타내는 도면.

도 11은 상기 제3 실시예에 따른 반도체 디바이스의 보호층(7')의 형성을 나타내는 도면.

도 12는 도 8d에 도시된 단계 완료 후의 웨이퍼(1)의 상부면 일부를 도시하는 도면.

도 13a 및 13b는 본 발명의 제4 실시예에 따른 반도체 디바이스의 재배선 패턴(rewiring pattern) 또는 배선(6)을 형성하는 방법을 도시하는 도면.

도 14a 내지 14e는 본 발명의 제5 실시예에 따른 반도체 디바이스의 제조 단계를 도시하는 도면.

도 15는 도 14b에 도시된 단계에서의 웨이퍼(1)의 평면도.

도 16a 및 16b는 상기 제5 실시예에 따른 반도체 디바이스의 재배선 패턴(6)을 형성하는 또 다른 예를 나타내는 도면.

<도면의 주요 부분에 대한 부호의 설명>

- 1, 60 : 웨이퍼
- 2, 71 : 온-칩 전극
- 3 : 절연막
- 4 : 다이싱 라인
- 5 : 수지 부재
- 6 : 재배선 패턴
- 7 : 보호층
- 8 : 외부 접속 전극
- 9, 41, 53 : 수지층
- 10 : 개구
- 11, 24 : 접속부
- 12 : 금형
- 21 : 반도체 디바이스
- 22 : 베어(bare) 칩
- 25, 77 : 인쇄 회로 기판
- 25a : 전극
- 27 : 전극
- 31 : IC 칩
- 32 : 단자 전극
- 33 : 절연층
- 34, 35, 36 : 금속층
- 37 : 땀납 범프
- 38 : 코팅층
- 50 : 외부 접속 범프
- 52, 68 : 범프
- 56 : 기판
- 57 : 균열
- 61 : 전극 패드
- 62 : 피착막
- 64 : 배선
- 65 : 니켈 평판
- 66 : 피복 코팅막
- 70 : 칩

- 71 : 온-칩 전극 패드
- 73 : 플렉시블 리드
- 74 : 시트 삽입물
- 75 : 밀봉재
- 76 : 홀

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 디바이스 및 그 제조 방법에 관한 것으로, 특히, 실장 후 응력의 완화를 허용하는 반도체 디바이스의 구조 및 그 제조 방법에 관한 것이다.

최근, 이동 전화 및 이동 정보 기기 등과 같이 보다 소형이고 가벼운 전자 장치들에 대한 요구가 증가하고 있어서, 반도체 디바이스들의 소형화 및 보다 높은 집적화가 급속하게 진전되고 있다. 이러한 목적으로, 몇몇 제안들이 이루어져 왔다. 그 중 하나는 대규모 집적화된(이하, 'LSI'라 함) 회로 칩이 회로 기판 상에 직접 실장되는 베어(bare) 칩 실장이다. 다른 하나는 소형화를 위해서 반도체 디바이스의 형태가 LSI 칩의 형태를 가능한 가깝게 추종하게 하는 소위 칩 사이즈 패키지(이하, 'CSP'라 함) 구조를 갖는 반도체 디바이스를 제공하는 것이다. 이러한 CSP 구조를 갖는 반도체 디바이스에서, 통상의 LSI 칩들에 공통적인 주변형(peripheral type) 전극 배치는, 재배선 단계에 의해서, 핀 수를 증가시키기에 유리한 영역 배열형(area array type) 전극 배치로 변환된다.

도 1a 내지 1c는 종래의 베어 칩 실장에서 사용되는 반도체 디바이스의 일 예를 나타낸다. 도 1a에 도시된 바와 같이, 반도체 디바이스(21)는 베어 칩(22) 및 복수의 접속부(24)로 이루어진다. 도 1b에 도시된 바와 같이, 베어 칩(22)은 접속부(24)를 통해 인쇄 회로 기판(25) 상의 전극들(25a)에 접속된다. 그러나, 이러한 구조에 의하면, 베어 칩(22)과 인쇄 회로 기판(25)의 열 팽창의 차이에 기인하여 커다란 열 응력이 발생되어, 접속부(24)가 안정성이 없다고 알려져 있다.

따라서, 도 1c에 도시된 바와 같이, 베어 칩(22)의 하부면과 인쇄 회로 기판(25)의 표면 사이의 공간(27)은 접속부(24)에서 발생하는 열 응력을 완화시키기 위해 일반적으로 수지(26)(이하, '언더 필'이라 함)로 채워진다. 그러나, 베어 칩(22)의 하부면과 인쇄 회로 기판(25)의 표면 사이의 공간(27)에 존재하는 이러한 언더 필은 베어 칩(22)의 수리를 매우 어렵게 한다. 따라서, 도 1a 내지 1c에 도시된 반도체 디바이스의 구조가 극 소형화 및 고밀도 실장을 가능하게 할 지라도, 아래와 같은 여러가지 이유로 널리 확산되지는 않았다: 수지(26)를 주입 및 경화시키기 위한 추가적인 단계의 요구로 인한 비용 상승; 베어 칩(22)의 수리가 본질적으로 불가능한 것에 의한 자유도의 저하; 및 베어 칩(22) 자체의 조작 어려움. 따라서, 베어 칩 실장에서와 같은 고-밀도 실장을 허용하고, 가능한 최소의 비용으로 구현될 수 있으며, 단일 패키지에서 뿐만 아니라 실장 후에도 안정성을 보장할 수 있는 반도체 디바이스에 대한 요구가 존재한다.

이러한 요구를 충족시키는 몇몇 발명들이 개시되어 있다. 예를 들어, 도 2에 일본 특허 공보 6-177134호는, 도 2에 도시된 바와 같이, 전극 소자의 범프 구조에 관한 것이다. 이것은 IC 칩(31) 상의 단자 전극(32), 절연층(33), 단자 전극(32)을 피복하는 배리어(barrier) 금속층(34, 35, 36), 땀납 범프(37), 코팅층(38), 및 단자 전극(32)과 배리어 금속층(34) 사이에 형성된 수지층(41)을 포함한다. 단자 전극(32)과 배리어 금속층(34) 사이에 형성된 수지층(41)은 열 응력을 완화시키기 위해 작용하고, 이로써 신뢰성을 향상시킨다.

일본 특허 공보 10-12619호 또는 10-79362호에 개시된 발명은, 도 3a 및 3b에 도시된 바와 같이, 기판(56), 기판(56) 상에 배치된 범프(52), 범프(52)를 밀봉하는 수지층(53), 및 수지층(53)으로부터 노출되어 범프(52)의 선단에 형성된 외부 접속 범프(50)를 포함하는 반도체 디바이스에 관한 것이다. 범프(52)는 수지층(53)에 의해 밀봉되고, 따라서, 기판(56) 상의 전극과 외부 접속 범프(50) 사이의 접합부에 생성되는 응력은 완화되어 안정성을 향상시킨다.

일본 특허 공보 8-102466호에 개시된 발명은, 도 4에 도시된 바와 같이, 웨이퍼(60), 웨이퍼를 피복하는 패시베이션막(62), 웨이퍼(60) 상에 형성된 전극 패드(61), 전극 패드(61)에 접속하여 반도체 칩 영역 내에서 확장하도록 형성된 알루미늄 배선(64), 웨이퍼(60)의 전체 표면을 피복하는 피복 코팅막(66), 및 니켈판(65)의 표면을 노출시키는 개구부에 형성된 땀납 범프(68)를 포함한다.

일본 특허 공보 2924923호에 개시된 발명은, 도 5에 도시된 바와 같이, 반도체 칩(70); 온-칩 전극 패드(71)와 외부 전극(72)을 접속시키는 플렉시블 리드(73); 외부 전극(72)과 칩(70) 사이에 배치된 플렉시블 시트 삽입물(74); 온-칩 전극(72)에 대응하는 시트 삽입물(74)에 개방된 홀(76); 및 홀(76) 내부를 채우는 밀봉재(75)를 포함한다. 외부 전극(72)을 통해 인쇄 회로 기판(77) 상에 반도체 디바이스를 실장한 후 보드(72)와 칩(70) 사이의 열 팽창 차이에 기인하여 발생하는 응력은, 시트 삽입물(74), 리드(73) 및 밀봉재(75)의 가요성 효과에 의해 완화되고, 따라서 신뢰성이 향상된다.

도 2 내지 도 5에 도시된 종래의 기술이 비록 접속부에서 생성되는 열 응력을 최소화하여 유연성을 향상시키고, 베어 칩의 플립 칩 본딩의 경우에 비하여 조작을 향상시키기 위해 제안되었지만, 이들은 아래의 문제점을 보여준다.

일본 특허 공보 6-177134에 개시된 발명에 따라서 반도체 디바이스를 실장한 후 열 응력이 발생된다고 가정하자. 이 경우에, 도 6에 도시된 바와 같이, 땀납 범프(37)에는 반도체 칩 측 상에 변형 응력이 축적

될 것이고, 이것은 균열(42)이 생성되게 하며, 파쇄(fracture)에 이르게 된다.

일본 특허 공보 10-12619호 또는 10-79362호에 개시된 발명의 반도체 디바이스를 실장한 후 열 응력이 발생된다고 다시 가정하자. 그러면, 도 7에 도시된 바와 같이, 범프(52)에는 그 뿌리 부분에 다시 변형 응력이 축적될 것이다. 더욱이, 수지층(53)은 공간을 남기지 않고 수지를 채워 형성되었기 때문에, 열 응력에 기인하는 변형 응력은 완화될 수 없다. 따라서, 범프(52)의 뿌리 부분에 축적된 변형 응력에 기인하여 파열(rupture)을 낳게 되는 균열(57)이 생성될 수도 있다.

일본 특허 공보 8-102466호에 개시된 발명의 경우에는, 피복 코팅(수지)막(66)이 반도체 칩의 전체 표면에 인가되어, 변형 응력이 빠져나오는 것을 방해한다. 따라서, 범프(68)에는 그 뿌리 부분에 변형 응력이 축적되어, 궁극적으로는 파손(breakage)을 초래할 수도 있다.

일본 특허 공보 2924923호에 개시된 발명에서는, 홈(76)을 제외하고 시트 삽입물(74)의 전체 표면이 칩의 표면에 인접하여 부착된다. 따라서, 시트 삽입물(74) 자체와 칩(70)의 인터페이스에서는 그들의 열 팽창 차이에 기인하여 응력이 발생하며, 그들의 이탈(detachment)을 초래할 수도 있다. 반도체 디바이스 구조 내의 서로 다른 재료의 이러한 이탈은 물의 침투를 허용하며, 칩 상의 회로에 대한 전기적 단락, 고온 하에서 증가된 체적에 기인하는 패키지 균열과 같은 오류, 또는 다른 문제점들을 초래할 수도 있다. 더욱이, 시트 삽입물(74) 자체는 주위 습기를 흡수하거나 또는 열에 의해 팽창할 수 있는데, 안정성에 대한 그 효과는 무시할 수 없다.

또한, 이러한 종래 기술들에 공통적인 문제점은, 고-비용 처리를 채택하는 스퍼터링 및 포토리소그래피를 포함하는 많은 수의 단계들에 의해 제조된다는 것이다. 이것은 반도체 디바이스 자체의 제조 비용을 증가시켜, 이러한 디바이스의 확산을 다시 억제하게 된다.

발명이 이루고자 하는 기술적 과제

<발명의 요약>

본 발명의 목적은 실장 후 발생하는 응력의 완화를 허용하는 구조를 구비하는 반도체 디바이스를 제공하는 것이다.

본 발명의 다른 목적은 실장 후 발생하는 응력의 완화를 허용하는 구조를 구비하는 반도체 디바이스를 제조하는 방법을 제공하는 것이다.

본 발명의 일 형태에 따르면, 반도체 칩 상에 배치된 복수의 외부 접속 전극들을 구비하는 반도체 디바이스가 : 온-칩 전극; 상호 분리되어 형성되고 복수의 외부 접속 전극들에 대응하여 제공되는 수지 부재; 및 대응 온-칩 전극과 대응 외부 접속 전극을 접속시키는 배선을 포함한다.

복수의 외부 접속 전극들에 대응하여 제공되는 수지 부재는 상호 분리되어 형성된다. 따라서, 외부 접속 전극들에서 생성되는 열 응력을 효과적으로 완화시키는 것이 가능하다.

본 발명의 다른 형태에 따르면, 반도체 칩 상에 배치된 복수의 외부 접속 전극들을 구비하는 반도체 디바이스가 : 온-칩 전극들; 복수의 외부 접속 전극들에 대응하여 제공된 테이퍼 형태(tapering form)의 수지 부재; 및 대응 온-칩 전극과 대응 외부 접속 전극을 접속시키도록 수지 부재의 경사를 따라서 형성된 배선들을 포함한다.

배선이 수지 부재의 경사를 따라서 형성되기 때문에, 그 제조가 간단하고, 따라서, 생산성이 향상된다.

본 발명의 또 다른 형태에 따르면, 반도체 칩 상에 배치된 복수의 외부 접속 전극들을 구비하는 반도체 디바이스가 : 온-칩 전극들; 적어도 하나의 개구부를 구비하며 반도체 칩을 피복하도록 형성되고, 외부 접속 전극들이 바로 그 위에 형성되는 수지층; 및 대응 온-칩 전극과 대응 외부 접속 전극을 접속시키는 배선을 포함한다.

외부 접속 전극들이 수지층 바로 위에 형성되고, 적어도 하나의 개구부가 수지층 내에 형성되기 때문에, 외부 접속 전극들에서 발생하는 열 응력을 효과적으로 완화시키는 것이 가능하다.

본 발명의 또 다른 형태에 따르면, 반도체 칩 상에 배치된 복수의 외부 접속 전극들을 구비하는 반도체 디바이스를 제조하는 방법은 : 반도체 칩 상에서 온-칩 전극 부분들을 제외하고 적어도 한 영역에 절연막을 제공하는 단계; 복수의 외부 접속 전극들이 형성될 위치에 수지 부재를 또는 수지 층을 형성하는 단계; 대응 온-칩 전극과 대응 외부 접속 전극을 접속시키는 배선을 형성하는 단계; 적어도 배선들을 보호하기 위한 재료를 제공하는 단계; 및 외부 접속 전극들을 수지 부재를 또는 수지층 상에 형성하는 단계를 포함한다.

외부 접속 전극들이 수지 부재를 또는 수지층 상에 형성되기 때문에, 열 응력의 완화를 허용하는 반도체 디바이스를 제조하는 것이 가능하다.

본 발명의 전술한 목적 및 기타 목적, 특징, 형태 및 이점들은 첨부된 도면을 참조하여 이하 본 발명의 상세한 설명으로부터 보다 명백하게 될 것이다.

발명의 구성 및 작용

<제1 실시예>

본 발명의 제1 실시예에 따른 반도체 디바이스의 제조 단계들은 전극부들을 관통하는 단면부들을 나타내는 도 8a 내지 8e를 참조하여 설명될 것이다. 개별 반도체 칩들로 분할되기 전 상태를 나타내는 도 8e를 참조하면, 반도체 디바이스는 : 복수의 반도체 칩들이 형성되는 웨이퍼(1); 웨이퍼(1) 상에 형성되는 온-칩 전극(2); 이하, 간단히 '전극'이라 함); 외부 접속 전극이 형성될 위치에 형성된 수지 부재(5); 재배선 패턴 또는 배선(6); 재배선 패턴(6)을 보호하기 위한 보호층(7); 및 외부 접속 전극(8)을 포함한다. 다

이성 라인(4)은 반도체 칩들의 각 경계에 제공된다.

도 8a에 도시된 바와 같이, 예를 들어, 알루미늄인 전극(2)이 먼저 웨이퍼(1) 상에 형성되고, 후속하여 절연막(3)이 형성된다. 절연막(3)은 최초 몇몇 단계들 동안 형성되거나 또는 그렇지 않지만, 이것은 예를 들어 폴리이미드와 같은 수지 재료를 스프인 코팅하고 나서 포토리소그래피 등에 의해 전극(2)을 개구로 형성함으로써 형성될 수 있다.

다음에, 도 8b에 도시된 바와 같이, 수지 부재(5)는 외부 접속 전극(8)이 형성될 웨이퍼(1) 상의 위치에 형성된다. 수지 부재(5)가 바람직하게는 절연막(3) 및 재배선 패턴(6)에 우수한 점착성을 갖는 재료로 만들어진다. 예폭시계 수지에 제한되지 않고, 실리콘계 수지, 우레탄계 수지 또는 고무계 수지, 탄성을 이 낮은 수지가 실장 후 응력을 완화시키는데 우수한 효과를 나타내기 때문에 바람직하다. 수지 부재(5)의 형성을 위해 임의의 기술이 사용될 수도 있지만, 예를 들어 프린팅은 비용이 저렴하기 때문에 바람직하다. 약 0.8 mm의 피치를 구비하는 외부 접속 전극에 대해, 수지 부재(5)는 약 0.1 mm 두께의 금속 스텐실을 적층이 약 0.5 mm인 플기로서 사용하여 스크린 프린팅하여 형성될 수 있다.

웨이퍼(1)의 전체 표면에 대해 스프인 코팅하여 형성되는 대신에, 외부 접속 전극들이 형성될 각 위치들에만 프린팅 등을 함으로써 분리된 수지 부재들(5)이 형성된다. 따라서, 실장 후 열 응력은 효과적으로 완화될 수 있다. 또한, 수지 부재들은 상호 분리되어 형성되기 때문에, 각 수지 부재와 칩의 인터페이스가 작아지게 되어, 수지 부재 자체의 특성에 기인한 응력 및 이물질의 문제점들이 제거될 수 있다. 예를 들어, 합성 고무계 수지(Ohs Chemical Industries로부터 입수할 수 있는 LSA-7701)이 사용될 때, 약 0.1 mm 두께 스텐실을 채택하여 175°C의 온도에서 1 시간 경화하는 프린팅으로부터 약 50 μm 두께의 수지 부재(5)가 얻어질 수 있다.

대안적으로, 수지 부재(5)는 인가될 때 페이스트(paste) 형태이고 경화될 때 팽창하는 수지를 사용하여 형성될 수 있다. 이것은 도 8c를 참조하여 후술될 배선 형성 단계의 완수를 촉진한다. 특히, 페이스트 형태의 수지는 10 μm 내지 30 μm의 두께로 인가되어, 후술되는 바와 같이 재배선 패턴의 형성 전에 미리 경화된다. 그 후 수지는 완전히 경화되어 약 50 μm의 높이까지 팽창한다. 이렇게 얻어진 구조는 재배선 패턴의 간단한 형성을 허용하고, 상당한 응력 완화 효과를 유지한다.

다음에 도 8c에 도시된 바와 같이, 재배선 패턴 또는 배선(6)은 전극(2)으로부터 외부 접속 전극(8)이 형성될 위치로 확장하도록 형성된다. 공지된 리프트-오프 방법을 포함하는 임의의 방법을 사용하여 재배선 패턴(6)이 형성될 수 있지만, 예를 들어, 제조 비용이 저렴한 프린팅에 의해서 형성되는 것이 바람직하다. 이 때에, 구리 또는 은이 그 안에 혼합된 금속 파우더를 갖는 페이스트가 재배선 패턴(6)을 형성하기 위해 사용될 수 있고, 이것은 그 후 경화를 위해 약 150°C의 열 처리를 받는다. 이 경우에, 전극(2)과 재배선 패턴(6) 사이의 점착을 향상시키기 위해 몇몇 처리가 바람직하게 수행된다. 예를 들어, 이전 처리 단계 동안에 인가되어 전극(2)의 표면에 남아있는 수지를 화학적으로 제거하기 위해 클라즈마 처리가 수행될 수 있다. 또한, 드문드문하고 미온화된 가스 분자들이 웨이퍼(1) 상으로 충돌하게 하기 위해서 스퍼터링이 수행되어, 전극(2)과 재배선 패턴(6)의 접합면들이 거칠게 될 수 있다. 따라서, 전극(2)과 재배선 패턴(6) 사이의 점착은 물리적으로 향상될 수 있다.

프린팅에 의해 형성된 배선 패턴이 전압 강하, 가열, 신호 지연 등을 야기할 수 있을 만한 큰 전기 저항을 나타낸다면, 예를 들어, 무전해 도금(electroless plating)의 처리 단계가 구리 또는 니켈 등과 같은 재료를 배선 패턴에 인가하기 위해 부가될 수 있다. 이러한 처리의 사용이 사전 결정된 경우에는, 프린팅에 의한 패턴 형성용 도전성 재료를 선택할 필요가 없다. 요구되는 모든 것은 무전해 도금에 의해 인가되는 재료에 우수한 점착성을 제공하는 재료를 선택하는 것이다. 이러한 무전해 도금에 의하면, 배선의 전기 저항이 감소될 뿐만 아니라, 수지 부재(5) 상에 외부 접속 전극(8)을 형성하기 위한 배리어 금속층이 형성된다. 재배선 패턴의 전기 저항값이 아무런 문제를 갖지 않는다면, 도 8d를 참조하여 후술될 처리 단계 후에 수지 부재(5) 상에 평탄화된 금속층이 형성될 수 있다.

도 8d에 도시된 바와 같이, 재배선 패턴(6) 및 반도체 칩의 표면을 보호하기 위한 보호층(7)이 형성된다. 보호층(7)은 예를 들어, 프린팅 또는 감광성 수지를 사용하는 포토리소그래피에 의해 형성된다. 여기서, 포토리소그래피가 채택된다면, 보호층(7)은 스프인 코팅 감광성 수지 등에 의해 형성되며, 외부 접속 전극(8)이 형성될 위치에 홀을 개방한다. 한편, 프린팅이 채택된다면, 비록 불규칙한 표면 상에 잉크를 실장시키는 것이 보장되어야 하기 때문에 다소 어렵지만, 조건이 최적화 된다면 가능하다. 특히, 잉크 및 웨이퍼는 프린팅 동안 대기압 보다 낮은 기압으로 유지되며, 프린팅은 거품이 도입되는 것을 회피하며 충분한 분해능으로 가능하다. 따라서, 낮은 비용으로 높은 보호력을 갖는 보호층을 형성하는 것이 가능하게 된다. 이러한 프린팅은 또한 도 8c에 도시된 재배선 패턴(6)의 형성에 대해서도 효과적이다.

다음에, 도 8e에 도시된 바와 같이, 외부 접속 전극(8)이 수지 부재(5) 상에 형성된다. 특히, 주석/납 공융(公融, eutectic) 합금 기반의 불이, 예를 들어, 수지 부재(5) 상의 재배선 패턴(6) 상으로 플럭스와 함께 실장된다. 따라서, 낮은 비용으로 열 응력을 충분히 완화시키는 구조를 제공하는 반면에, 수지 부재를 이 구조에 부가하는 역효과를 가능한 많이 제거하는 반도체 디바이스를 제조하는 것이 가능하다.

상술된 바와 같이, 본 발명의 반도체 디바이스에 따르면, 외부 접속 전극이 형성될 위치에 형성되는 수지 부재(5)가 실장 후의 열 응력의 완화를 허용한다.

<제2 실시예>

개별 반도체 디바이스들로 분할되기 전의 단면도가 도 9에 도시된 본 발명의 제2 실시예에 따른 반도체 디바이스는, 보호층(7)이 반도체 칩의 전방측 및 후방측을 피복하는 보호층(7)으로 교체된다는 점을 제외하고는 도 8e에 도시된 제1 실시예에 따른 반도체 디바이스와 동일하다. 본 실시예에 따른 반도체 디바이스의 형성을 위한 최초 몇 단계들은 도 8a 내지 8c에 도시된 제1 실시예에서의 그것들과 동일하다. 따라서, 공통적인 구조 및 공통적인 제조 단계의 상세한 설명은 반복되지 않을 것이다.

도 8c에 도시된 단계가 완료될 때, 웨이퍼(1)는 테이블 위의 핀 등에 의해서 간격을 두고 고정된다. 수지 부재(5) 상의 재배선 패턴(6) 및 프린팅용 스텐실의 후방측은 상호 인접하게 부착된다. 상술된 바와

같이 낮은 기압하에서 프린팅함으로써, 보호층(7')은 웨이퍼(1)의 전방측 및 후방측 모두에 형성된다. 분위기를 진공으로 조절하는 것은 보호층(7') 내에 거품이 도입되지 않고 보호 재료가 웨이퍼의 후방측에 도달한다는 것을 보장한다. 스텝실의 후방측 및 수지 부재(5)의 상부가 함께 인접하여 부착되기 때문에, 외부 접속 전극이 형성될 위치에 보호 재료가 인가되는 것이 방지된다. 보호층(7')의 형성 후, 외부 접속 전극(8)이 형성된다. 마지막으로, 웨이퍼는 다이싱 라인(4)을 따라서 절단되고, 개별 반도체 칩들이 완성된다.

본 실시예의 반도체 디바이스는 각 수지 부재(5)가 보호층(7') 내에 매립되기 때문에 열 응력 완화에 있어서 제1 실시예의 것보다 열등하다. 그러나, 본 실시예에 의하면, 반도체 칩의 후방측도 보호층(7')으로 피복되므로, 본 실시예의 반도체 디바이스는 제1 실시예의 것에 비하여 조작 측면에서 우수하다. 또한, 보호층(7')으로서 사용되는 재료를 최적화함으로써, 즉, 탄성율이 낮은 재료를 선택함으로써, 열 응력 완화가 비교적 우수한 반도체 디바이스를 제공하는 것이 가능하다.

<제3 실시예>

조각들로 절단되기 전 그 단면도가 도 10에 도시된 제3 실시예에 따른 반도체 디바이스는, 보호층(7')이 반도체 칩의 전방측 및 후방측 모두를 피복하는 보호층(7')으로 교체된다는 점을 제외하고는 도 8e에 도시된 제1 실시예의 반도체 디바이스와 동일하다. 본 실시예의 반도체 디바이스 제조를 위한 최초 몇 단계들도 도 8a 내지 8c에 도시된 제1 실시예의 것들과 같다. 따라서, 공통적인 구조 및 제조 단계의 상세한 설명은 반복되지 않는다.

도 8c에 도시된 단계의 완료 후, 도 11에 도시된 바와 같이, 웨이퍼(1)는 수지 부재(5)가 다소 내부쪽으로 가압되는 정도로 인가되는 압력에 의해서 그 양측으로부터 금형(12)에 의해서 고정된다. 보호층(7')은 그 후 금형(12)에 의한 압력을 웨이퍼(1)에 계속 인가하면서 보호 재료가 금형(12)에 도입되는 트랜스퍼 금형 형성 방법에 의해 형성된다. 그 후, 금형(12)이 제거될 때, 각 수지 부재(5)의 상부는 그 복원력 때문에 보호층(7')으로부터 노출된다. 수지 부재(5)의 복원력을 이렇게 사용하는 것은 외부 접속 전극(8)이 형성될 위치의 노출을 보장한다. 이것은 제조 프로세스를 간단하게 하고, 낮은 비용으로 실장 후 안정성이 있는 반도체 디바이스를 제공하는 것을 가능하게 한다.

<제4 실시예>

본 발명의 제4 실시예에 따른 반도체 디바이스는 재배선 패턴(6)을 형성하는 방법에서만 도 8e에 도시된 제1 실시예의 반도체 디바이스와 다르다. 본 실시예의 반도체 디바이스를 제조하기 위한 이후 단계들은 도 8d 및 8e에 도시된 제1 실시예의 것들과 동일하다. 따라서, 공통적인 구조 및 제조 단계들의 상세한 설명은 반복되지 않는다.

도 12는 도 8c에 도시된 단계의 완료시 웨이퍼(1)의 상부면의 일부를 나타낸다. 절연막(3)은 웨이퍼(1)의 표면에 인가되고, 수지 부재(5) 및 수지부재(5)의 상부와 전극(2)을 접속시키는 재배선 패턴(6)이 그 곳에 형성된다. 도 12에서는, 최대 3개의 재배선 패턴(6)이 인접한 열의 수지 부재(5)를 사이의 계곡부에서 동작하거나 또는 오목부에서 연장한다. 핀들의 수가 증가하거나 또는 핀 간격들이 더욱 좁아질수록, 재배선 패턴을 우수한 분해능으로 형성하는 것이 더욱 어렵게 될 것이다.

본 실시예에 따른 반도체 디바이스의 제조 프로세스에서는, 도 8a에 도시된 상태에서 웨이퍼(1) 상에 재배선 패턴(6)이 먼저 형성된다. 이 경우에, 재배선 패턴의 형성은 평평한 웨이퍼(1) 상에 형성되기 때문에 간단하다. 그 후, 도 13a에 도시된 바와 같이, 약 50 μm 높이의 수지 부재(5)가 형성된다. 수지 부재(5)의 높이가 약 50 μm 인 동안에, 재배선 패턴(6)의 높이는 최대 약 10 μm 이다. 따라서, 수지 부재(5)의 형성 정밀도는 재배선 패턴(6)의 존재 유무에 의해 영향을 받지 않는다. 그 후, 도 13b에 도시된 바와 같이, 배선(6')은 재배선 패턴(6)과 수지 부재(5)의 상부 상에 형성될 외부 접속 전극(8)을 전기적으로 접속시키기 위해 형성된다. 이 배선(6')은 수지 부재(5)의 경사 위에 형성되어야 하지만, 외부 전극의 피치 순서에 따른 사이드로 형성될 수 있기 때문에 중대한 문제를 야기하지는 않는다. 그 후, 도 8d에 도시된 단계 및 이후 단계들을 수행하여, 본 실시예에 따른 반도체 디바이스가 완성된다.

상술된 바와 같이, 본 실시예의 반도체 디바이스에 따르면, 재배선 패턴이 두 개의 별도 단계로 형성된다. 따라서, 협소한 핀 간격을 뿐만 아니라 증가된 수의 핀들을 수용하는 것이 가능하게 된다.

<제5 실시예>

본 발명의 제5 실시예에 따른 반도체 디바이스의 제조 단계들이 도 14a 내지 14e를 참조하여 설명될 것이다. 단계를 자체는 도 8a 내지 8e에 도시된 제1 실시예의 것들과 동일하지만, 수지층(9)은 수지 부재(5)를 대신한다.

도 15는 도 14b에 도시된 단계에서의 본 실시예의 반도체 디바이스의 웨이퍼(1)의 평면도이다. 도 15에 도시된 바와 같이, 수지층(9)은 전극(2)과 외부 접속 전극(8)을 접속시키는 재배선 패턴(6)이 형성되지 않을 적어도 하나의 영역에 개구(10)를 갖는다. 이 개구(10)의 제공은 수지층이 웨이퍼(1)의 전체 표면에 인가되는 경우에 비하여 열 응력 완화의 효과를 확장시킨다. 수지층(9)은 스크린 프린팅과 같은 간단한 방법으로 형성될 수 있다. 도 15에서, 외부 접속 전극이 이후 단계(도 14e에 도시된 단계)에서 형성될 위치는 도면부호 8'로 지시된다.

플래시 메모리와 같은 반도체 칩은 활성 영역 위에 신호선이 위치되어서는 안되는 영역을 갖는다. 그러나, 본 실시예의 반도체 디바이스에 따르면, 수지층(9)이 반도체 칩의 대부분을 피복하고, 따라서, 그렇지 않으면 신호선의 제공이 금지되는 이러한 영역인 수지층(9) 상에 배선이 형성될 수 있다. 따라서, 재배선에 대한 자유도는 제1 실시예의 반도체 디바이스의 경우에 비하여 향상한다.

또한, 본 실시예의 반도체 디바이스에 따르면, 거의 모든 재배선이 수지층(9) 상에서 끝날 수 있다. 따라서, 복수의 배선 라인들은 제1 실시예의 반도체 디바이스에서와 같이 수지 부재(5)를 열 사이에 위치할 필요가 없다. 따라서, 배선들은 우수한 분해능으로 미리 형성될 수 있다.

더욱이, 본 실시예의 반도체 디바이스에 따르면, 도 14c에 도시된 바와 같이, 수지층(9)의 경사 상에 재

배선 패턴(6)을 형성할 필요가 있다. 그러나, 그렇게 하는 것이 어려우면, 재배선 패턴(6)이 도 16a 및 16b에 도시된 제조 단계들에 의해서 미리 형성되어도 좋다. 특히, 도 14b의 단계 완료 후, 도전성 재료의 접속부(11)가 도 16a에 도시된 바와 같이 전극(2) 상에 형성된다. 접속부(11)는 니켈 등의 무전해 도금에 의해서 형성될 수 있고, 또는 대안적으로 도전성 페이스트를 사용하는 프린팅에 의해서 형성되어도 좋다. 이렇게 전극(2)을 상승시킨 후, 재배선 패턴(6)이 형성되고, 그 후, 반도체 디바이스를 완성하기 위해 도 16b에 도시된 단계(도 14d 및 14e에 도시된 것들과 동일함)가 수행된다.

본 발명이 상세히 설명되고 도시되었지만, 이것은 도시 및 실시예의 일 방법이고 그 제한을 의미하는 것은 아니며, 본 발명의 사상 및 범위는 첨부된 청구범위에 의해서만 제한된다는 것은 명백히 이해될 것이다.

본 발명의 효과

본 발명의 한 특징에 따르면, 복수의 외부 접속 전극들에 대응하여 제공되는 수지 부재는 상호 분리되어 형성된다. 따라서, 외부 접속 전극들에서 생성되는 열 응력을 효과적으로 완화시키는 것이 가능하다.

본 발명의 다른 특징에 따르면, 배선이 수지 부재의 경사를 따라서 형성되기 때문에, 그 제조가 간단하고, 따라서, 생산성이 향상된다.

본 발명의 또 다른 특징에 따르면, 외부 접속 전극들이 수지층 바로 위에 형성되고, 적어도 하나의 개구부가 수지층 내에 형성되기 때문에, 외부 접속 전극들에서 발생하는 열 응력을 효과적으로 완화시키는 것이 가능하다.

본 발명의 또 다른 특징에 따르면, 외부 접속 전극들이 수지 부재를 또는 수지층 상에 형성되기 때문에, 열 응력의 완화를 허용하는 반도체 디바이스를 제조하는 것이 가능하다.

(57) 청구의 범위

청구항 1

반도체 칩 상에 배치된 복수의 외부 접속 전극(8)을 구비하는 반도체 디바이스에 있어서,

온-칩 전극(2);

상호 분리되어 형성되고 상기 복수의 외부 접속 전극(8)에 대응하여 제공되는 수지 부재(5); 및

대응 온-칩 전극(2)과 대응 외부 접속 전극(8)을 각각 접속시키는 배선(6)

를 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 2

제1항에 있어서, 상기 배선(6)은, 적어도 두 종류의 재료로 이루어진 다층 구조를 갖는 적어도 일 부분을 구비하는 것을 특징으로 하는 반도체 디바이스.

청구항 3

제1항에 있어서, 상기 수지 부재(5)는, 경화시 팽창하는 재료로 형성되는 것을 특징으로 하는 반도체 디바이스.

청구항 4

제1항에 있어서, 상기 배선(6)은,

상기 온-칩 전극(2)과 상기 수지 부재(5)를 접속시키는 제1 배선(6), 및

상기 수지 부재(5)의 경사 위에 형성되고, 상기 제1 배선(6)과 상기 외부 접속 전극(8)을 접속시키는 제2 배선(6')

를 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 5

제1항에 있어서, 상기 외부 접속 전극(8)이 형성되는 적어도 일 측에 형성되어 상기 외부 접속 전극(8)을 제외한 측을 피복하는 보호층(7)을 더 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 6

반도체 칩 상에 배치된 복수의 외부 접속 전극(8)을 구비하는 반도체 디바이스에 있어서,

온-칩 전극(2);

경사부를 구비하고 상기 복수의 외부 접속 전극(8)에 대응하여 제공되는 수지 부재(5); 및

대응 수지 부재(5)의 경사부를 따라 각각 형성되고, 대응 온-칩 전극(2)과 대응 외부 접속 전극(8)을 접속시키는 배선(6)

를 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 7

제6항에 있어서, 상기 배선(6)은 적어도 두 종류의 재료로 이루어진 다층 구조를 갖는 적어도 일 부분을

구비하는 것을 특징으로 하는 반도체 디바이스.

청구항 8

제6항에 있어서, 상기 수지 부재(5)는, 경화시 팽창하는 재료로 형성되는 것을 특징으로 하는 반도체 디바이스.

청구항 9

제6항에 있어서, 상기 배선(6)은,

상기 온-칩 전극(2)과 상기 수지 부재(5)를 접속시키는 제1 배선, 및

상기 수지 부재(5)의 경사부 위에 형성되고, 상기 제1 배선(6)과 상기 외부 접속 전극(8)을 접속시키는 제2 배선(6')

을 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 10

제6항에 있어서, 상기 외부 접속 전극(8)이 형성되는 적어도 일 측에 형성되어 상기 외부 접속 전극(8)을 제외한 측을 피복하는 보호층(7)을 더 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 11

반도체 칩 상에 배치된 복수의 외부 접속 전극을 구비하는 반도체 디바이스에 있어서,

온-칩 전극(2);

상기 반도체 칩을 피복하고 적어도 하나의 개구를 구비하며, 자신의 바로 위에 상기 외부 접속 전극(8)이 형성되는 수지층(9); 및

대응 온-칩 전극(2)과 대응 외부 접속 전극(8)을 각각 접속시키는 배선(6)

을 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 12

제11항에 있어서, 상기 개구는, 인접한 두 개의 상기 외부 접속 전극들(8)마다 적어도 하나씩, 상기 외부 접속 전극들(8) 사이에 제공되는 것을 특징으로 하는 반도체 디바이스.

청구항 13

제11항에 있어서, 상기 배선(6)은 적어도 두 종류의 재료로 이루어진 다층 구조를 갖는 적어도 일 부분을 구비하는 것을 특징으로 하는 반도체 디바이스.

청구항 14

제11항에 있어서, 상기 수지층(9)은 경화될 때 팽창하는 재료로 이루어진 것을 특징으로 하는 반도체 디바이스.

청구항 15

제11항에 있어서, 상기 배선은,

상기 온-칩 전극(2)과 상기 수지층(9)을 접속시키는 제1 배선(6), 및

상기 수지층(9)의 경사부 위에 형성되고, 상기 제1 배선(6)과 상기 외부 접속 전극(8)을 접속시키는 제2 배선(6')

를 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 16

제11항에 있어서, 상기 외부 접속 전극(8)이 형성되는 적어도 일 측에 형성되어 상기 외부 접속 전극(8)을 제외한 측을 피복하는 보호층(7)을 더 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 17

반도체 칩 상에 배치된 복수의 외부 접속 전극(8)을 구비하는 반도체 디바이스를 제조하는 방법에 있어서,

반도체 칩 상의, 적어도 온-칩 전극부(2)를 제외한 영역에, 절연막(3)을 형성하는 단계;

상기 복수의 외부 접속 전극(8)이 형성될 각각의 위치에 수지 부재(5)를 형성하는 단계;

대응 온-칩 전극(2)과 대응 외부 접속 전극(8)을 각각 접속시키는 배선(6)을 형성하는 단계;

적어도 상기 배선(6)을 보호하기 위한 재료를 제공하는 단계; 및

대응 수지 부재(5) 상에 상기 외부 접속 전극(8) 각각을 형성하는 단계

를 포함하는 것을 특징으로 하는 반도체 디바이스의 제조 방법.

청구항 18

제17항에 있어서, 상기 배선(6) 형성 단계는,

상기 온-칩 전극(2)과 상기 수지 부재(5)를 접속시키는 제1 배선(6)을 형성하는 단계, 및

상기 수지 부재(5)의 경사 위에 상기 제1 배선(6)과 상기 외부 접속 전극(8)을 접속시키는 제2 배선(6')을 형성하는 단계

를 포함하는 것을 특징으로 하는 반도체 디바이스의 제조 방법.

청구항 19

제17항에 있어서, 상기 배선(6) 형성 단계는, 상기 대응 온-칩 전극(2)과 상기 대응 외부 접속 전극(8)을 프린팅에 의해 접속시키는 배선의 적어도 일부를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스의 제조 방법.

청구항 20

제17항에 있어서, 상기 배선(6) 형성 단계는,

상기 대응 온-칩 전극(2)과 상기 대응 외부 접속 전극(8)을 수지 페이스트(resin paste)로 접속시키는 패턴을 형성하는 단계, 및

무전해 도금(electroless plating)에 의해 상기 패턴 상에 금속을 부착하는 단계

를 포함하는 것을 특징으로 하는 반도체 디바이스의 제조 방법.

청구항 21

제17항에 있어서, 상기 수지 부재(5) 형성 단계는 상기 수지 부재(5)를 프린팅에 의해 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스의 제조 방법.

청구항 22

제17항에 있어서, 상기 온-칩 전극(2) 상에 상기 수지 부재(5)의 높이와 실질적으로 동일한 높이로 도전성 부재를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 디바이스의 제조 방법.

청구항 23

제17항에 있어서, 적어도 상기 배선(6)의 보호를 위한 재료를 제공하는 상기 단계는 상기 수지 부재(5)를 금형에 의해 가압 및 고정하여 보호층(7)을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스의 제조 방법.

청구항 24

제17항에 있어서, 적어도 상기 배선(6)의 보호를 위한 재료를 제공하는 상기 단계는, 적어도 상기 배선(6)의 보호를 위한 재료를 프린팅에 의해 제공하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스의 제조 방법.

청구항 25

반도체 칩 상에 복수의 외부 접속 전극(8)을 구비하는 반도체 디바이스를 제조하는 방법에 있어서,

반도체 칩 상의, 적어도 온-칩 전극부(2)를 제외한 영역에, 절연막(3)을 형성하는 단계;

상기 복수의 외부 접속 전극(8)이 형성될 위치에 수지층(9)을 형성하는 단계;

대응 온-칩 전극(2)과 대응 외부 접속 전극(8)을 각각 접속시키는 배선(6)을 형성하는 단계;

적어도 상기 배선(6)을 보호하기 위한 재료를 제공하는 단계; 및

대응 수지층(5) 상에 상기 외부 접속 전극(8) 각각을 형성하는 단계

를 포함하는 것을 특징으로 하는 반도체 디바이스의 제조 방법.

청구항 26

제25항에 있어서, 상기 배선(6) 형성 단계는,

상기 온-칩 전극(2)과 상기 수지층(9)을 접속시키는 제1 배선(6)을 형성하는 단계, 및

상기 수지층(9)의 경사 위에 상기 제1 배선(6)과 상기 외부 접속 전극(8)을 접속시키는 제2 배선(6')을 형성하는 단계

를 포함하는 것을 특징으로 하는 반도체 디바이스의 제조 방법.

청구항 27

제25항에 있어서, 상기 배선(6) 형성 단계는 상기 대응 온-칩 전극(2)과 상기 대응 외부 접속 전극(8)을 프린팅에 의해 접속시키는 상호접속의 적어도 일부를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스의 제조 방법.

청구항 28

제25항에 있어서, 상기 배선(6) 형성 단계는,

상기 대응 온-칩 전극(2)과 상기 대응 외부 접속 전극(8)을 수지 페이스트로 접속시키는 패턴을 형성하는 단계, 및

무전해 도금에 의해 상기 패턴 상에 금속을 부착하는 단계

를 포함하는 것을 특징으로 하는 반도체 디바이스의 제조 방법.

청구항 29

제25항에 있어서, 상기 수지층(9) 형성 단계는; 상기 수지층(9)을 프린팅에 의해 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스의 제조 방법.

청구항 30

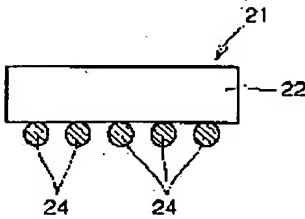
제25항에 있어서, 상기 온-칩 전극(2)이 대략 상기 수지층(9)의 높이가 되도록, 상기 온-칩 전극(2) 상에 도전성 부재를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 디바이스의 제조 방법.

청구항 31

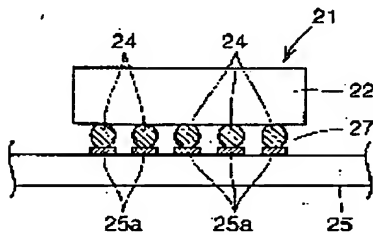
제25항에 있어서, 적어도 상기 배선(6)의 보호를 위한 재료를 제공하는 상기 단계는, 적어도 상기 배선(6)의 보호를 위한 재료를 프린팅에 제공하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스의 제조 방법.

도면

도면 1a



도면 1b



도면 1c

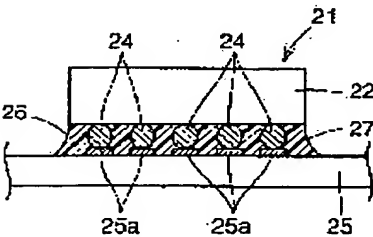


図2

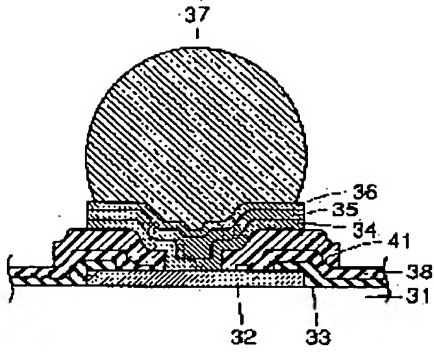


図3a

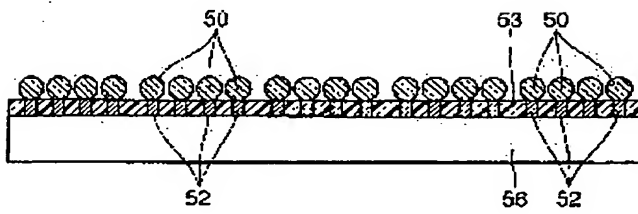
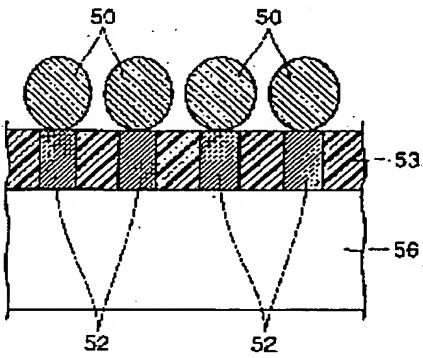
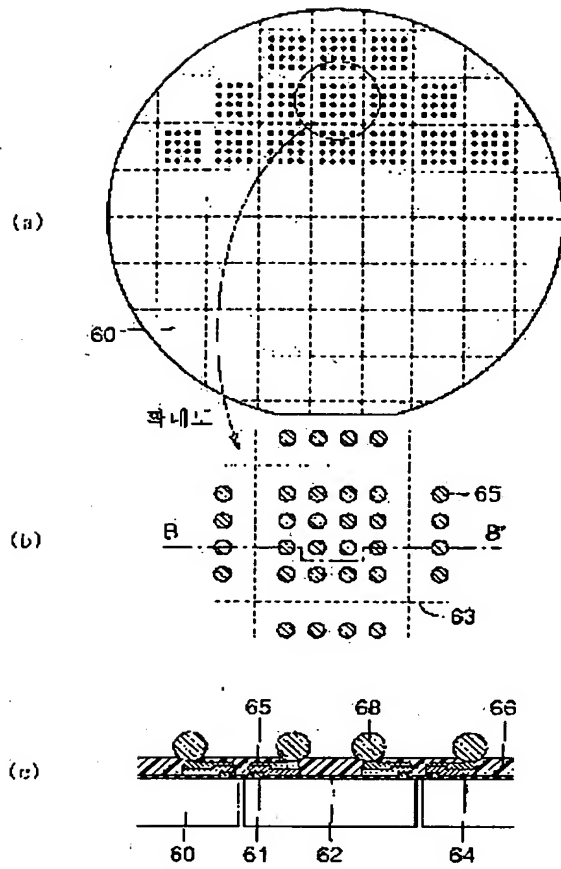


図3b

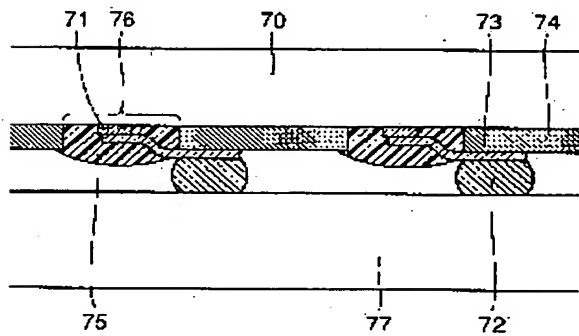


도면4

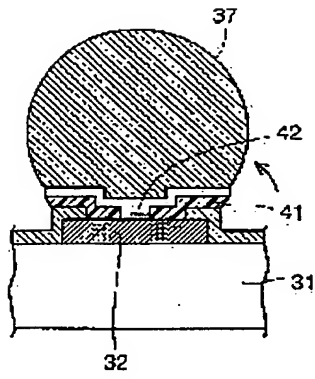
(종래 기술)



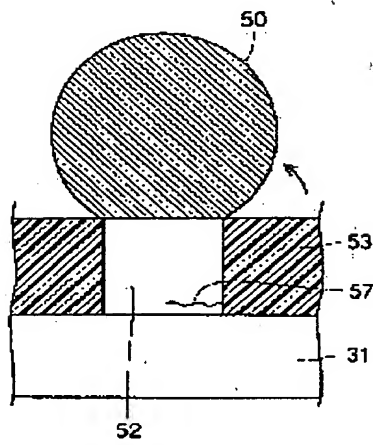
도면5



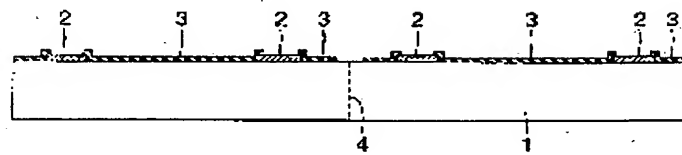
도면6



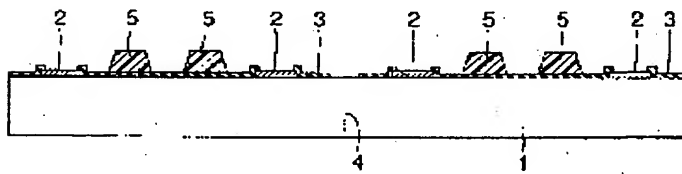
도면7



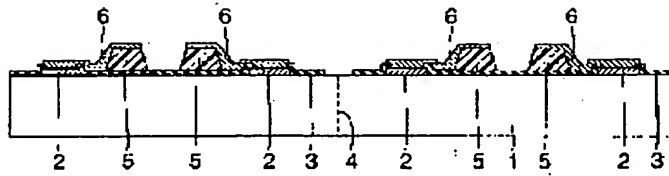
도면8a



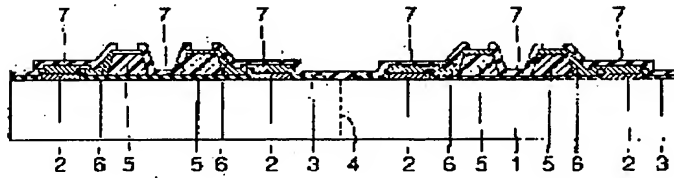
도면8b



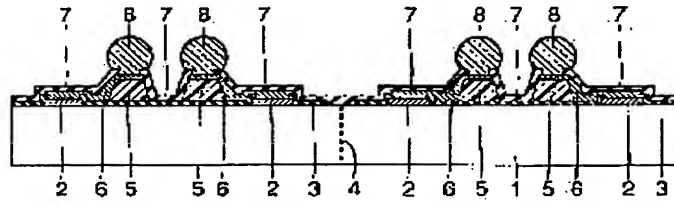
도면 8a



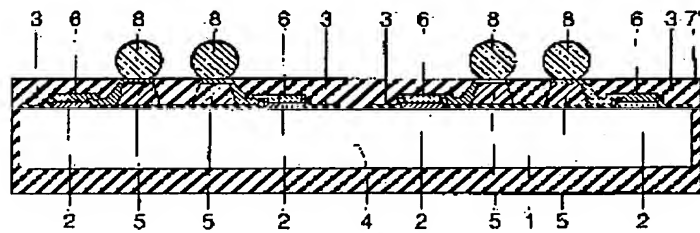
도면 8d



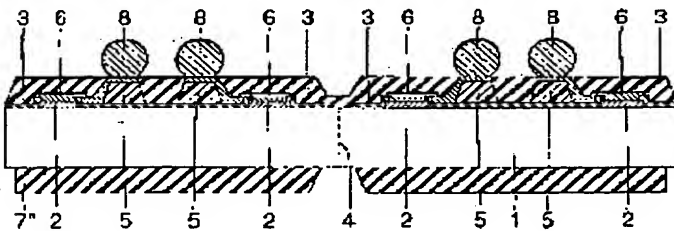
도면 8e



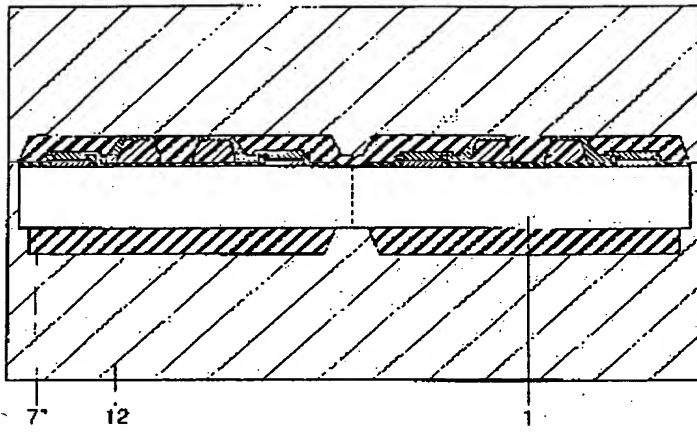
도면 9



도면 10



도면 11



도면 12

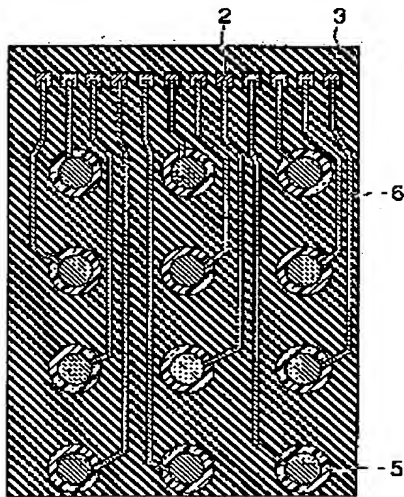


図13a

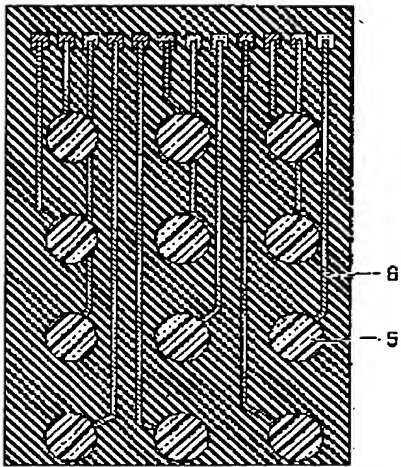


図13b

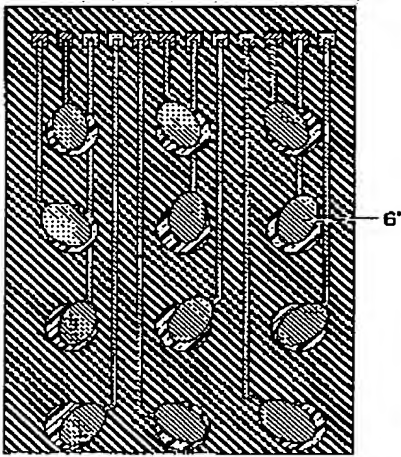
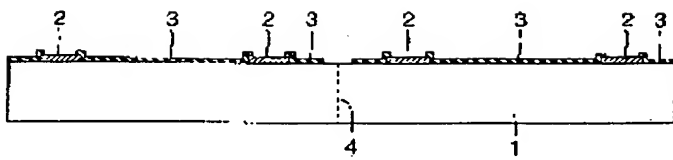
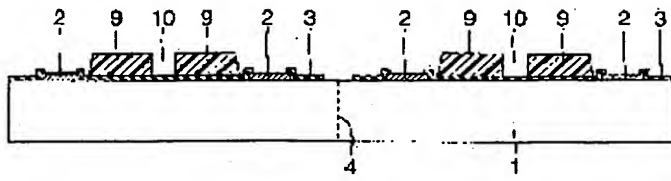


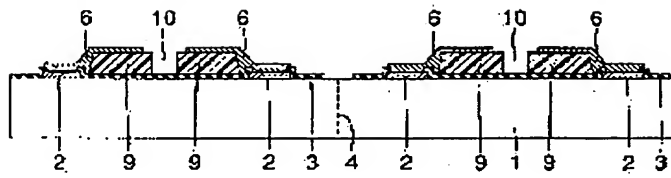
図14a



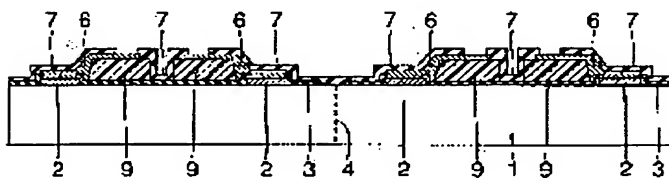
도면 14b



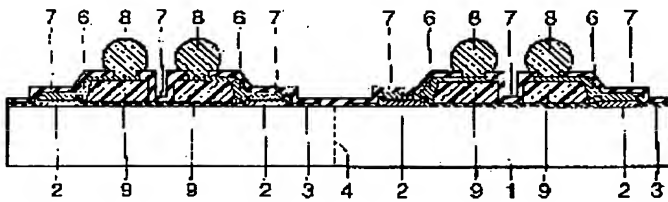
도면 14c



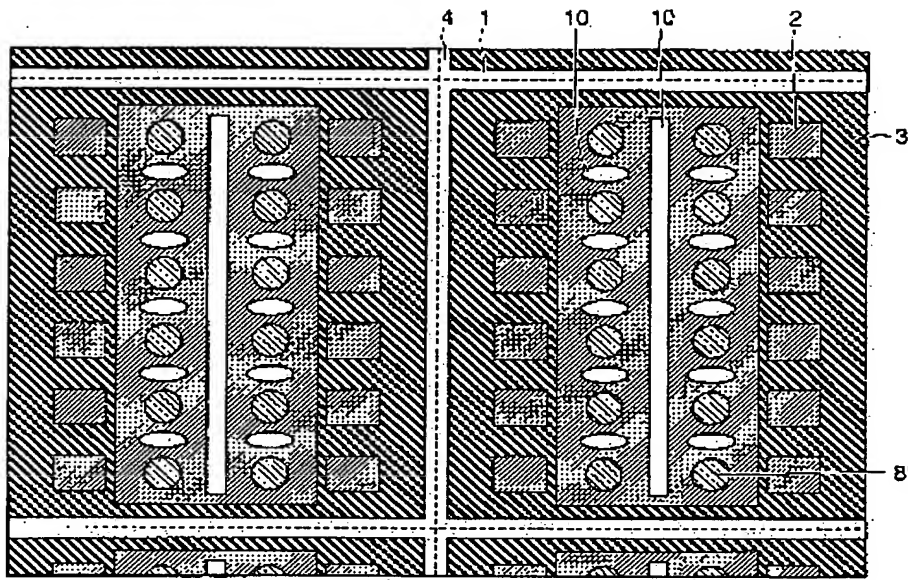
도면 14d



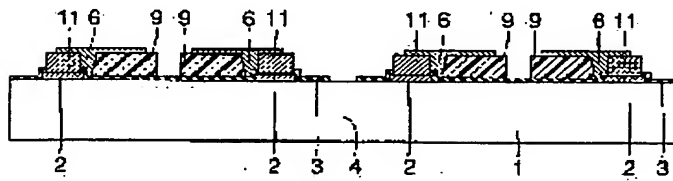
도면 14e



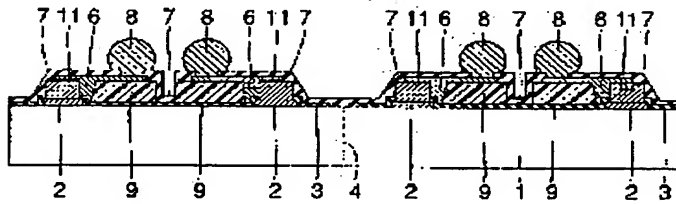
도면 15



도면 10a



도면 10b



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.